

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-054478

(43)Date of publication of application : 26.02.1999

(51)Int.Cl.

H01L 21/3063

C25D 11/32

G01P 15/12

H01L 29/84

(21)Application number : 09-353686

(71)Applicant : TOKAI RIKI CO LTD

(22)Date of filing : 22.12.1997

(72)Inventor : MURATE MAKOTO
IWATA HITOSHI

(30)Priority

Priority number : 09147857

Priority date : 05.06.1997

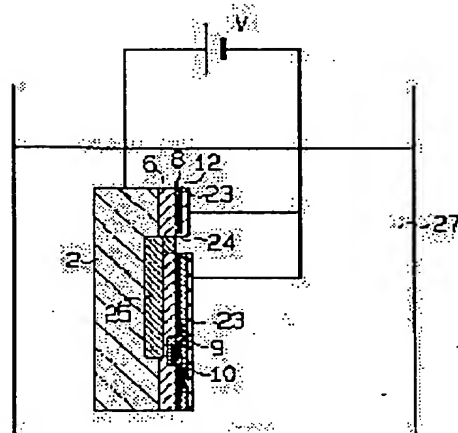
Priority country : JP

(54) ANODIZATION METHOD FOR SILICON BOARD AND MANUFACTURE OF SURFACE ACCELERATION SENSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an anodization method for a silicon board, wherein a protection film for preventing the corrosion of HF solution and a silicon board are adhesive to each other and a part, excepting that to be made porous is not corroded by HF solution.

SOLUTION: An epitaxial growth layer 6, an oxide film 8 and a passivation film 12 are formed on a silicon board 2. A metallic protective film 23 formed of W (tungsten) covers over an entire upper surface of the passivation film 12, except for an opening part which is provided to a specified part of the passivation film 12. The silicon board 2 is immersed in hydrofluoric water solution 27 of high concentration and anodization is carried out by making the silicon board 2 an anode and the metallic protection film 23 to be a counter electrode.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The anodization approach in the silicon substrate which forms the metal protective coat in which both the metal itself and the metal silicide concerned have HF-proof nature except for a predetermined part to the front face of a silicon substrate, and is characterized by performing anodization by making this silicon substrate into an anode plate in the condition that the silicon substrate covered in this metal protective coat was immersed into HF system solution.

[Claim 2] the counterelectrode in anodization — the inside of said HF system solution — setting — a silicon substrate — receiving — alienation — the anodization approach in the silicon substrate according to claim 1 which is the arranged counterelectrode.

[Claim 3] The counterelectrode in anodization is the anodization approach in the silicon substrate according to claim 1 which is a metal protective coat.

[Claim 4] The anodization approach in the silicon substrate according to claim 3 which is what forms the conductor pattern for potential distribution relaxation in the front face of the substrate except said predetermined part, and forms said metal protective coat in it after that.

[Claim 5] The process which forms a p-type silicon layer (21) in the predetermined field by the side of the front face of p mold single crystal silicon substrate (2) by impurity addition, By forming in the top face of said p mold single crystal silicon substrate (2) the epitaxial growth phase (6) which consists of n mold single crystal silicon By the process which embeds said p-type silicon layer (21) in this epitaxial growth phase (6), and impurity addition The process which forms the p-type silicon layer for opening formation (22) in said epitaxial growth phase (6), The process which forms in the top face of said epitaxial growth phase (6) the strain gage (7) which consists of p-type silicon, The process which forms the wrap passivation film (12) for the circuit pattern (9) after forming the circuit pattern (9) linked to said strain gage (7), By performing anode plate chemical conversion of claim 1, where a metal protective coat (23) according to claim 1 is formed in the top face of said passivation film (12) The process which changes said p mold each silicon layer (21 22) to a porosity silicon layer (25), and by removing said porosity silicon layer (25) by alkali etching The manufacture approach of the acceleration sensor of a surface type including the process emasculated in a part with this porosity silicon layer (25).

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacture approach of the acceleration sensor of the surface type which used the anodization approach of a silicon substrate, and its anodization approach.

[0002]

[Description of the Prior Art] Carrying out anodization of the silicon substrate in the micro-machining of silicon from the former is performed. This anodization makes a silicon substrate an anode plate into HF system solution, and is performed by impressing electric field in the condition of having been immersed considering electrodes, such as Pt, as a counterelectrode. In this case, in the silicon substrate, except the part to porosity-ize, in order to protect from HF system solution, covering the front face of a silicon substrate with resin system thin films (protective coat), such as a photoresist, is performed. And forming the cavernous section is performed by the particular part of a silicon substrate being porosity-ized by this anodization, and removing this porosity-ized part by alkali etching at a next process.

[0003]

[Problem(s) to be Solved by the Invention] However, the above-mentioned resin system thin film (protective coat) had the bad adhesion of a resist-silicon substrate interface, and had the problem which is except a part [HF system solution may be eaten away and] to porosity-ize in the interface and which is eaten away with HF system solution however.

[0004] Then, using a ceramic system thin film with HF-proof nature instead of the above-mentioned resin system thin film is also considered. However, the membranous workability of the ceramic system thin film was bad, and since a manufacture process differed from IC process, there was an unsuitable problem in forming various components, such as an acceleration sensor near IC process.

[0005] It is in this invention being made in order to cancel the above-mentioned technical problem, and the purpose having the adhesion of a protective coat and a silicon substrate, and offering the anodization approach of the silicon substrate which is except a part to porosity-ize and which is not eaten away by HF system solution however.

[0006] Moreover, in case the anodization approach of the above-mentioned silicon substrate is used and the acceleration sensor of a surface type is manufactured, it is in offering the manufacture approach of the acceleration sensor of a surface type which can manufacture the acceleration sensor of a good surface type.

[0007]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, invention according to claim 1 The silicon substrate which formed the metal protective coat in which both the metal itself and the metal silicide concerned have HF-proof nature except for the predetermined part to the front face of a silicon substrate, and was covered in this metal protective coat in the condition of having been immersed into HF system solution The anodization approach in the silicon substrate characterized by performing anodization by making this silicon substrate into an anode plate is made into the summary.

[0008] a counterelectrode [in / on claim 1 and / in invention according to claim 2 / anodization] -- the inside of said HF system solution -- setting -- a silicon substrate -- receiving -- alienation -- the anodization approach in the silicon substrate which is the arranged counterelectrode is made into the summary.

[0009] Invention of claim 3 makes the summary the anodization approach in the silicon substrate whose counterelectrode in anodization is a metal protective coat in claim 1. In claim 3, invention of claim 4 forms the conductor pattern for potential distribution relaxation in the front face of the substrate except said predetermined part, and makes the summary the anodization approach in the silicon substrate which is what forms said metal protective coat after that.

[0010] The process at which invention according to claim 5 forms a p-type silicon layer in the predetermined field by the side of the front face of p mold single crystal silicon substrate by impurity addition, By forming in the top face of said p mold single crystal silicon substrate the epitaxial growth phase which consists of n mold single crystal silicon By the process which embeds said p-type silicon layer in this epitaxial growth phase, and impurity addition The process which forms the p-type silicon layer for opening formation in said epitaxial growth phase, The process which forms in the top face of said epitaxial growth phase the strain gage which consists of p-type silicon, The process which forms the wrap passivation film for the circuit pattern after forming the circuit pattern linked to said strain gage, By performing anode plate chemical conversion of claim 1, where a metal protective coat according to claim 1 is formed in the top face of said passivation film The manufacture approach of the acceleration sensor of a surface type including the process which changes said p mold each silicon layer to a porosity silicon layer, and the process emasculated in the part which had this porosity silicon layer by removing said porosity silicon layer by alkali etching is made into the summary.

[0011] (Operation) To the front face of a silicon substrate, except for a predetermined part, both the metal itself and the metal silicide concerned form the metal protective coat which has HF-proof nature, and, according to invention according to claim 1, perform anodization by making this silicon substrate into an anode plate in the condition that the silicon substrate covered in this metal protective coat was immersed into HF system solution.

[0012] As for the metal used as a metal protective coat in which both the metal itself and the metal silicide concerned have HF-proof nature, W, Mo, etc. are mentioned. Therefore, a silicon substrate is covered with a metal protective coat except for a predetermined part, and metal silicide is formed in the interface of said metal and silicon substrate in a predetermined part. And even if a silicon substrate is dipped in HF system solution at the time of anodization, while a silicon substrate is not invaded by HF, the interface of the silicon substrate and metal protective coat in a predetermined part is not invaded by the metal silicide of said HF-proof nature by HF.

[0013] according to invention according to claim 2 -- anodization -- the inside of HF system solution -- setting -- a silicon substrate -- receiving -- a counterelectrode -- alienation -- it is arranged, and a silicon substrate is made into an anode plate and performed. According to invention according to claim 3, a metal protective coat is used as a counterelectrode into HF system solution, a silicon substrate is made into an anode plate and anodization is performed.

[0014] According to invention according to claim 4, a conductor pattern eases potential distribution at the time of anodization, and a uniform current flows to a silicon substrate in anodization. According to invention according to claim 5, after forming a p-type silicon layer in a predetermined field beforehand, a porosity silicon layer is formed in the part concerned by the anodization approach of claim 1 in the p-type silicon layer. And by performing alkali etching to this porosity silicon layer, only a porosity silicon layer is etched alternatively and the cavernous section and the cantilever structured division are formed in an epitaxial growth phase.

[0015]

[Embodiment of the Invention]

(The 1st operation gestalt) The 1st operation gestalt which materialized this invention is hereafter explained to a detail based on drawing 1 - drawing 11 .

[0016] The configuration of the acceleration sensor 1 of the surface type of this operation gestalt is roughly shown in drawing 1 and drawing 2 . The p-type silicon single crystal substrate of field bearing (110) (it is only hereafter called a silicon substrate.) In addition, unlike the

manufacture procedure which carries out a postscript, explanation of a configuration explains as a silicon substrate by which the scribe was separately carried out from the wafer. The crevice 3 of the shape of an abbreviation square acquired by carrying out alkali etching of the layer which consists of porosity-ized p-type silicon is formed in the front-face side center section of 2. This crevice 3 has the abbreviation KO character-like opening 4. In this crevice 3, the cantilever 5 as the cantilever structured division is arranged possible [displacement in the vertical direction]. This cantilever 5 is mainly constituted by the epitaxial growth phase 6 of n mold single crystal silicon. Four diffusion strain gages 7 which consist of p-type silicon by impurity addition are formed in the end face section top face of a cantilever 5.

[0017] The oxide film (SiO_2 film) 8 thin as a layer insulation layer is formed in the top face of the epitaxial growth phase 6. The circuit pattern 9 and the bonding pad 10 are formed in the top face of this oxide film 8 by the physical forming-membranes methods, such as sputtering and vacuum deposition. Moreover, the contact hole 11 for interlayer connections is formed in the predetermined part of said oxide film 8, i.e., the part used as the both-ends bottom of the diffusion strain gage 7. The contact hole 11 has connected electrically the circuit pattern 9 and the diffusion strain gage 7 in the lower layer. And these circuit patterns 9 are electrically connected to the bonding pad 10 arranged on the rim section top face of a silicon substrate 2, respectively. The thin passivation film 12 for aiming at the insulation in a surface is formed in the top face of an oxide film 8 by the above-mentioned physical forming-membranes method. The bonding pad 10 is exposed from opening prepared in the predetermined part of said passivation film 12.

[0018] The condition of having mounted the acceleration sensor 1 in another substrate (mother board) 13 is shown in drawing 3. That is, on the whole, the die bond material 14 is applied to the rear face of a silicon substrate 2, and a silicon substrate 2 and a mother board 13 are joined through the die bond material 14. And the bonding pad 10 by the side of a silicon substrate 2 and the bonding pad 15 by the side of a mother board 13 are electrically connected through wirebonding 16. In addition, the digital disposal circuit for asking for acceleration based on the output voltage from an acceleration sensor 1 is formed in said mother board 13.

[0019] Moreover, in this operation gestalt, the dimension of each part is as follows. That is, thickness [of a silicon substrate 2 (however, the epitaxial growth phase 6 is included.)] t and width of face w are $t = \text{about } 500 \text{ micrometers}$ and $w = 500 \text{ micrometers} - 1000 \text{ micrometers}$. The thickness, width of face, and die length of a cantilever 5 are about 10 micrometers, about 200 micrometers, and about 300 micrometers, respectively. The path clearance between the base of a cantilever 5 and the inner base of a crevice 3 is about 10 micrometers. The thickness of an oxide film 8 and the thickness of the passivation film 12 are about 0.5 micrometers and about 0.5 micrometers, respectively.

[0020] The equal circuit of the diffusion strain gage 7 (a detail diffusion distortion resistance $R1 - R4$) is shown in drawing 4. Four diffusion distortion resistance $R1 - R4$ by which bridge connection was carried out Inside, the diffusion distortion resistance $R1$, and $R4$ The node of a between is connected to the bonding pad 10 for supply of supply voltage V_{cc} . On the other hand, it is the diffusion distortion resistance $R2$ and $R3$. The node of a between is connected to the bonding pad 10 for touch-down. The diffusion distortion resistance $R3$ and $R4$ Two nodes of a between are connected to one side of the existing bonding pads 10 for an output. The diffusion distortion resistance $R1$ and $R2$ The node of a between is connected to another side of the bonding pads 10 for an output. in addition, it can set to a cantilever 5 at drawing 2 — each — diffusion distortion resistance $R1 - R4$ The layout is shown roughly. Namely, each diffusion distortion resistance $R1 - R4$ $R1$, $R2$, $R4$, and $R3$ It is arranged on about 1 straight line in order. $R1$ and $R3$ A longitudinal direction has a relation parallel to the direction where a cantilever 5 is prolonged. On the other hand, it is $R2$ and $R4$. A longitudinal direction has a relation perpendicular to the direction where a cantilever 5 is prolonged. Therefore, the former $R1$ and $R3$ It extends in the $[110]$ directions and is the latter $R2$ and $R4$. It has extended in a bar, one bar, and the $[10]$ directions.

[0021] It is the arrow head $A1$ of drawing 1 to this acceleration sensor 1. If acceleration impresses from a direction, on the whole, a cantilever 5 will displace caudad, and a curve will

arise in the end face section of a cantilever 5. As a result of distortion arising in the diffusion strain gage 7 (diffusion distortion resistance $R1 - R4$) at this time, the resistance of each diffusion strain gage 7 increases or decreases according to the piezoresistance condenser of silicon. And acceleration is detected by detecting this resistance value change.

[0022] Next, the manufacture procedure of the acceleration sensor 1 of this operation gestalt is explained with reference to drawing 5 - drawing 13. First, as shown in drawing 5, p mold single crystal silicon substrate (in addition, this manufacture procedure explains the expedient top of explanation and a silicon substrate 2 in the state of a wafer) 2 of field bearing (110) which carried out the shape of a rectangular parallelepiped is prepared, and the mask which is not illustrated on the front face of this silicon substrate 2 is formed. Subsequently, to said silicon substrate 2, by an ion implantation etc., boron is driven in and thermal diffusion of the boron is carried out further. consequently, it is shown in drawing 6 — as — a silicon substrate 2 — the p-type silicon layer 21 is mostly formed in a center section.

[0023] Next, as shown in drawing 7, the epitaxial growth phase 6 which consists of n mold single crystal silicon with vapor growth is formed in the top face of a silicon substrate 2 in which the p-type silicon layer 21 was formed. Consequently, it will be in the condition that the p-type silicon layer 21 was embedded in the epitaxial growth phase 6. Then, the mask which is not illustrated is formed in the front face of a silicon substrate 2 in which the epitaxial growth phase 6 was formed. Furthermore, abbreviation KO character-like opening is formed in the predetermined field of a mask by photo etching.

[0024] Next, to said silicon substrate 2, by an ion implantation etc., boron is driven in and thermal diffusion of the boron is carried out further. Consequently, as shown in drawing 8, the p-type silicon layer 22 for opening formation which made the shape of an abbreviation KO character the epitaxial growth phase 6 is formed. This p-type silicon layer 22 reaches by Mr. Fukashi of the p-type silicon layer 21 currently embedded.

[0025] Next, the mask which is not illustrated on the top face of the epitaxial growth phase 6 of a silicon substrate 2 is arranged. Subsequently, to said silicon substrate 2, by an ion implantation etc., boron is driven in and thermal diffusion of the boron is carried out further. Consequently, four diffusion strain gages 7 are formed in the part which serves as a end face section top face of a cantilever 5 behind. Next, an oxide film 8 is formed in the top face by heating said silicon substrate 2 in oxygen or air. Subsequently, by performing photo etching, as shown in drawing 9, a contact hole 11 is formed in the predetermined part of an oxide film 8.

[0026] Next, after performing sputtering or vacuum deposition of aluminum to this silicon substrate 2, a circuit pattern 9 and a bonding pad 10 are formed by performing a photolithography. subsequently, CVD etc. — SiN and Si_3N_4 etc. — it is shown to drawing 10 by by making it deposit — as — the top face of a silicon substrate 2 — a circuit pattern 9 — a wrap — the passivation film [like] 12 is formed. In said passivation process, opening 12a for exposing a bonding pad 10 and abbreviation KO character-like opening 12b are formed in the passivation film 12. Then, the top face of the p-type silicon layer 22 is exposed by removing the oxide film 8 which hits the top face of the p-type silicon layer 22.

[0027] Subsequently, on the whole, the physical forming-membranes methods, such as sputtering and vacuum deposition, cover the top face of the passivation film 12 by the metal protective coat 23 which consists of W (tungsten). At this time, W silicide is formed in the interface with which the metal protective coat 23 and the epitaxial growth phase 6 of a silicon substrate 2 are in contact in directly under [of opening 12b (correctly opening of an oxide film 8)]. W (tungsten) and W silicide which form the metal protective coat 23 have HF-proof nature. Then, as shown in drawing 11, the abbreviation KO character-like opening 24 is formed in the part which hits the top face of the p-type silicon layer 22 by the photolithography.

[0028] And as shown in drawing 12, a silicon substrate 2 is immersed into the fluoric acid water solution 27 as a high-concentration HF system solution, a silicon substrate 2 is made into an anode plate in this condition, and a current is passed by using the metal protective coat 23 as a counterelectrode. That is, anodization is performed. In addition, V expresses DC power supply, and he makes it not impress the formation voltage beyond 0.6V, and is trying to impress the most efficient electrical potential difference with this operation gestalt in drawing 12. The part

concerned is changed to the porosity silicon layer 25 by porosity-izing alternatively only the part of the p-type silicon layers 21 and 22 by the above anodization. At this time, as for the part covered with the metal protective coat 23, pervasion of a fluoric acid water solution is prevented by this metal protective coat 23. Moreover, in opening 12b, in the interface of the metal protective coat 23 and the epitaxial growth phase 6 of a silicon substrate 2, since W silicide of HF-proof nature is formed, a fluoric acid water solution does not eat away inside from this interface.

[0029] Next, anisotropic etching of the porosity silicon layer 25 is carried out by performing alkali etching by TMAH (tetramethylammonium hydroxide). It is easy to dissolve the p-type silicon layers 21 and 22 in alkali by porosity-izing through anodization. Consequently, the cavernous section 26 is easily formed in a part with the porosity silicon layer 25 (refer to drawing 13). If etching of plasma etching etc. removes the metal protective coat 23 which became unnecessary at the end, the acceleration sensor 1 shown in drawing 1 will be obtained.

[0030] Now, in the case of the acceleration sensor 1 of this operation gestalt, the cantilever 5 which is the cantilever structured division mainly consists of an epitaxial growth phase 6 of n mold single crystal silicon. For this reason, the diffusion strain gage 7 which consists of big p-type silicon of a gauge factor can be formed in the top face of the epitaxial growth phase 6. Therefore, as compared with the conventional acceleration sensor equipped with the diffusion strain gage which consists of n mold silicon, it can be made a high sensitivity thing. Moreover, since this acceleration sensor 1 is the so-called surface type, it can be manufactured, without passing through the anisotropic etching from the rear-face side of a silicon substrate 2. Therefore, problems (namely, (111), increase of the chip width of face W accompanying the etching hole along a field being formed etc.) peculiar to the acceleration sensor of the conventional bulk mold are also solved. Therefore, the miniaturization of the acceleration-sensor 1 whole can be attained, maintaining predetermined detection sensitivity. In addition, since a cantilever 5 is not exposed from the base of a silicon substrate 2 in it being the acceleration sensor 1 of a surface type, the situation of adhesion of the die bond material 14 or contact to a mother board 13 does not happen, either. Therefore, it becomes unnecessary to arrange a plinth and the mounting activity of an acceleration sensor 1 becomes easy compared with the former.

[0031] And according to the manufacture approach of this operation gestalt, the following operation effectiveness is done so.

(1) As shown in drawing 18, the conventional anodization carries out a silicon substrate 29 into the fluoric acid water solution 27 in an anode plate, uses the noble-metals plates 31, such as Pt (platinum), as a counterelectrode, and is performing them. In this case, in order to perform uniform anodization, the thing of a large area with a counterelectrode 31 equivalent to a silicon substrate 29 is needed. In addition, 30 in drawing is a resin system protective coat. Since the metal protective coat 23 is used as the counterelectrode to it according to the anodization approach of this operation gestalt, the counterelectrode which consists of an expensive noble-metals plate has the advantage which becomes unnecessary. For this reason, as compared with the former, anodization can be performed cheaply.

[0032] Moreover, since [of a silicon substrate (wafer) 2] it is mostly formed in all front faces, the metal protective coat 23 can perform uniform anodization. Since the metal protective coat 23 is formed in the latest of a wafer (silicon substrate 2) and it is considering as the counterelectrode, it becomes unnecessary furthermore, to take into consideration resistance of the fluoric acid water solution 27. since [namely,] the conventional anodization approach had estranged the wafer (silicon substrate) and the counterelectrode — resistance of a fluoric acid water solution — taking into consideration — DC power supply V — current control — or it is necessary to carry out armature-voltage control and to perform anodization Anodization can be made easy to perform with this operation gestalt, since it becomes unnecessary to take into consideration resistance of the fluoric acid water solution 27.

[0033] (2) It was made not to impress the formation voltage beyond 0.6V into anodization with this operation gestalt. The leakage current (reactive current) to which this reason does not participate in anode plate chemical conversion through a circuit pattern 9 since diode is formed in the pn junction of the p-type silicon single crystal substrate 2 and the epitaxial growth phase

6 when the electrical potential difference beyond 0.6V is impressed [in / temporarily / anodization] flows. Since it was made not to become more than 0.6V so that leakage current (reactive current) may not flow with this operation gestalt to it, the effectiveness of anodization can be mentioned.

[0034] (3) the metal protective coat 23 which consists of W (tungsten) — high-melting — it is — a coefficient of thermal expansion — SiN and Si₃N₄ etc. — since there is adhesion of the epitaxial growth phase 6 of the passivation film 12 and a silicon substrate 2, and near and they, it does not exfoliate

[0035] (4) Since it is the approach of carrying out anodization of this layer after forming the p-type silicon layers 21 and 22 in a predetermined field beforehand, as compared with the conventional approach which carries out anodization of the front face of a silicon substrate 2 directly, it is hard to produce dispersion in the configuration and the depth of the anodization section.

[0036] (5) Since it is the approach of forming the epitaxial growth phase 6 on the p-type silicon layer 21, formation is not necessarily especially difficult.

(6) Since it is the approach of performing anodization after completion of a passivation process, the cavernous section 26 can form the metal protective coat 23 in the state of un-forming. Therefore, formation of the metal protective coat 23 becomes easy.

[0037] If it puts in another way, since the metal protective coat 23 will not enter in the cavernous section 26, it becomes unnecessary to perform troublesome removal. Moreover, there is neither alkali etching nor a fear of a circuit pattern 9 and bonding pad 10 grade being polluted by etchant since it is carried out after completion of a passivation process. Since it is above, according to this manufacture approach, the process simplification and the formation of activity easy at the time of manufacturing an acceleration sensor 1 can be attained.

[0038] (7) Furthermore, there is a merit which removes the porosity silicon layer 25 of not receiving constraint especially in field bearing of a silicon substrate 2 as it is this manufacture approach. Moreover, fundamentally, the manufacture approach (the anodization approach which uses W (tungsten) as a metal protective coat 23 is included) of this operation gestalt is close to the manufacture process of the bipolar IC which uses W (tungsten) as a gate ingredient of IC. Therefore, there is a merit that an acceleration sensor 1 and a bipolar IC can be unified. This is convenient when realizing a miniaturization and improvement in the speed of an acceleration sensor 1.

(The 2nd operation gestalt) Next, the 2nd operation gestalt similarly materialized to the manufacture approach of an acceleration sensor 1 with reference to drawing 14 - drawing 17 is explained. In addition, the same or sign same about a corresponding configuration as the 1st operation gestalt is attached, and the detailed explanation is omitted.

[0039] This operation gestalt is for equalizing potential further rather than the 1st operation gestalt in anode plate chemical conversion. Drawing 14 shows the silicon substrate 2 before carrying out a scribe. Drawing 15 shows the condition of having covered the front face of a wafer by the metal protective coat 23. In addition, while the part exposed to the front face of the silicon substrate 2 of the p-type silicon layer 22 by drawing 14 and drawing 15 for convenience and opening of explanation are expanded and shown, the circuit pattern 9, the bonding pad 10, and the diffusion strain gage 7 grade are omitting. Moreover, drawing 16 shows the outline sectional view of an acceleration sensor.

[0040] And with this operation gestalt, the manufacture procedure of drawing 9 of said 1st operation gestalt is made the same. And with this operation gestalt, it is manufactured as follows after the process of drawing 9.

[0041] After performing sputtering or vacuum deposition of aluminum (aluminum) to a silicon substrate 2, a conductor pattern 28 is formed in a circuit pattern 9 and a bonding pad 10, and a list by performing a photolithography. As shown in drawing 14, said conductor pattern 28 is formed in the shape of a grid so that it may be arranged between the parts used as the component on each silicon substrate (wafer).

[0042] subsequently, CVD etc. — SiN and Si₃N₄ etc. — it is shown to drawing 16 by by making it deposit — as — the top face of a silicon substrate 2 — a circuit pattern 9 — a wrap — the

passivation film [like] 12 is formed. In said passivation process, opening 12a for exposing a bonding pad 10 and a conductor pattern 28, and abbreviation KO character-like opening 12b and opening 12c are formed in the passivation film 12. Then, the top face of the p-type silicon layer 22 is exposed by removing the oxide film 8 which hits the top face of the p-type silicon layer 22.

[0043] Subsequently, on the whole, the physical forming-membranes methods, such as sputtering and vacuum deposition, cover the top face of the passivation film 12 by the metal protective coat 23 which consists of W (tungsten). At this time, W silicide is formed in the interface with which the metal protective coat 23 and the epitaxial growth phase 6 of a silicon substrate 2 are in contact in directly under [of opening 12b (correctly opening of an oxide film 8)]. Moreover, a conductor pattern 28 and the metal protective coat 23 are electrically connected through opening 12c.

[0044] Then, as shown in drawing 15 , the abbreviation KO character-like opening 24 is formed in the part which hits the top face of the p-type silicon layer 22 by the photolithography. And a silicon substrate 2 is immersed into the fluoric acid water solution as a high-concentration fluoric acid system solution, a silicon substrate 2 is made into an anode plate in this condition, and a current is passed by using the metal protective coat 23 as a counterelectrode (illustration of a fluoric acid water solution is omitted in refer to drawing 16 , in addition drawing 16 .). That is, anodization is performed. In addition, V expresses DC power supply also with this operation gestalt, and he is trying not to impress the formation voltage beyond 0.6V with this operation gestalt by it. The part concerned is changed to the porosity silicon layer 25 by porosity-izing alternatively only the part of the p-type silicon layers 21 and 22 by the above anodization. At this time, as for the part covered with the metal protective coat 23, pervasion of a fluoric acid water solution is prevented by this metal protective coat 23. Moreover, in opening 12b, in the interface of the metal protective coat 23 and the epitaxial growth phase 6 of a silicon substrate 2, since W silicide of HF-proof nature is formed, a fluoric acid water solution does not eat away inside from this interface.

[0045] Next, by performing alkali etching like said 1st operation gestalt hereafter, anisotropic etching of the porosity silicon layer 25 is carried out, and the cavernous section 26 is formed in a part with the porosity silicon layer 25. Etching of plasma etching etc. removes the metal protective coat 23 which became unnecessary at the end, a scribe is carried out for every component, and the acceleration sensor 1 shown in drawing 17 is obtained.

[0046] The following operation effectiveness is done so with this operation gestalt.

(1) With this operation gestalt, the conductor pattern 28 has been arranged in the shape of a grid so that it may be arranged between each component. And it is aluminum (resistivity $\rho=2.7\mu\Omega\text{cm}$) which constitutes the conductor pattern 28, and the direction of a conductor pattern 28 has low resistivity by W (tungsten: resistivity $\rho=5.5\mu\Omega\text{cm}$) which constitutes the metal protective coat 23. Since a current flows in anodization the conductor pattern 28 which is low resistivity rather than the metal protective coat 23, the potential distribution within a wafer side is improved by this (relaxation of potential distribution), and a uniform current can be passed in anodization by it. For this reason, uniform anodization can be performed.

[0047] In addition, when the above-mentioned metal protective coat 23 is formed in Mo (molybdenum) instead of W (tungsten), it is the resistivity $\rho=5.2\mu\Omega\text{cm}$, and the same effectiveness is done so for [of the conductor pattern 28 formed from aluminum] low resistivity.

[0048] (2) In this operation gestalt, said conductor pattern 28 was formed with aluminum, and it formed with the same ingredient as a circuit pattern 9. For this reason, in the same process as the circuit pattern 9 which constitutes a circuit, since a conductor pattern 28 can be formed, a process does not increase and a conductor pattern 28 can be formed easily.

[0049] The operation gestalt of this invention can be changed as follows, for example.

(1) Substrates, for example, (111), the substrate, substrates (100), etc. other than field bearing (110) may be used as a p mold single crystal silicon substrate 2. In addition, if a substrate (100) is used in the operation gestalt 1, it can be made high sensitivity more.

[0050] (2) KOH, a hydrazine, EPW (ethylenediamine-pyrocatechol-water), etc. may be used as alkali system etchant other than TMAH.

[0051] (3) As a metallic material which forms a circuit pattern 9 and a bonding pad 10, Au etc. may be chosen other than aluminum.

(4) When manufacturing an acceleration sensor 1, it may replace with the epitaxial growth phase 6 of n mold single crystal silicon, for example, a polycrystalline silicon layer, an amorphous silicon layer, etc. of n mold may be formed.

[0052] (5) The thin film strain gage which replaces with the strain gage 7 of the diffusion mold illustrated in the 1st operation gestalt, for example, consists of Cr, polycrystalline silicon, etc., may be formed.

(6) The mass section may be formed in the point bottom of a cantilever 5 in the 1st operation gestalt.

[0053] (7) The bipolar IC which functions as a signal logical circuit etc. may be formed in the tooth space around the cantilever structured division in the front face of a silicon substrate 2.

(8) With said 1st operation gestalt, although W (tungsten) was used as a metal protective coat, even if it uses Mo (molybdenum), do so the effectiveness of (1) - (5) of the 1st operation gestalt. moreover, the metal protective coat which consists of Mo (molybdenum) — W (tungsten) — the same — high-melting — it is — a coefficient of thermal expansion — SiN and Si₃N₄ etc. — since there is adhesion of the epitaxial growth phase 6 of the passivation film 12 and a silicon substrate 2, and near and they, it does not exfoliate

[0054] (9) Although it considered as the counterelectrode with said 1st and 2nd operation gestalt when carrying out anodization of the metal protective coat instead, of course, it is also possible to use noble-metals plates, such as Pt, as a counterelectrode as usual, and to perform anodization.

[0055] Here, the technical thought grasped according to the operation gestalt mentioned above is listed to below with the effectiveness besides the technical thought indicated by the claim.

(1) It is the anodization approach characterized by a conductor pattern having low resistivity rather than resistance of a metal protective coat in claim 4. Since a current flows a conductor pattern with little resistance by carrying out like this, the potential distribution within a wafer side can be improved, a uniform current can be passed in anodization, and uniform anodization can be performed. .

[0056] In addition, the terminology used into this specification is defined as follows.

"Cantilever structured division : Say the thing which the part displaced when acceleration impresses was meant [thing], for example, made the mass section support by one or two beams or more, the thing of only a cantilever without the mass section, etc."

"Anodization : Say package reforming processing which forms a porous layer in the substrate by passing a current by making a substrate into an anode plate in the electrolytic solution."

[0057]

[Effect of the Invention] As explained in full detail above, according to invention according to claim 1 to 4, there is adhesion of the protective coat which protects a silicon substrate from pervasion by HF system solution used in anodization, and a silicon substrate, and the effectiveness that the thing which is except a part to porosity-ize and which is eaten away with HF system solution however can be prevented is done so. Moreover, if a metal protective coat is used, it can consider as the thing near the manufacture process of IC.

[0058] According to invention of claim 3, since the counterelectrode which consists of an expensive noble-metals plate becomes unnecessary, anodization can be performed cheaply. Moreover, since [of a silicon substrate] it is mostly formed in all front faces, a metal protective coat can perform uniform anodization. Moreover, anodization can be made easy for it to become unnecessary to take resistance of HF system solution into consideration, and to perform, since a metal protective coat is formed in the latest of a silicon substrate and it is considering as the counterelectrode.

[0059] According to invention of claim 4, the potential distribution within a wafer side can be improved, a uniform current can be passed in anodization, and uniform anodization can be performed. According to invention of claim 5, in case the acceleration sensor of a surface type is

manufactured, the acceleration sensor of a good surface type can be manufactured.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The outline sectional view showing the acceleration sensor of the surface type of the 1st operation gestalt.

[Drawing 2] Similarly it is the outline top view.

[Drawing 3] The outline sectional view showing the condition of having mounted this acceleration sensor.

[Drawing 4] The representative circuit schematic of this acceleration sensor.

[Drawing 5] For (a), the outline sectional view showing the manufacture procedure of this acceleration sensor and (b) are the outline top view.

[Drawing 6] Similarly, (a) is an outline sectional view and (b) is an outline top view.

[Drawing 7] Similarly, (a) is an outline sectional view and (b) is an outline top view.

[Drawing 8] Similarly, (a) is an outline sectional view and (b) is an outline top view.

[Drawing 9] An outline sectional view [in / similarly / in (a) / the A-A line of (b)] and (b) are an outline top view.

[Drawing 10] An outline sectional view [in / similarly / in (a) / the B-B line of (b)] and (b) are an outline top view.

[Drawing 11] Similarly it is an outline sectional view.

[Drawing 12] The explanatory view showing the anodization approach.

[Drawing 13] Similarly it is an outline sectional view.

[Drawing 14] The outline perspective view showing the manufacture procedure of the acceleration sensor of the 2nd operation gestalt.

[Drawing 15] Similarly it is an outline perspective view.

[Drawing 16] The explanatory view showing the anodization approach similarly.

[Drawing 17] The outline sectional view showing the acceleration sensor of the surface type of the 2nd operation gestalt.

[Drawing 18] The explanatory view of the conventional anodization approach.

[Description of Notations]

1 [— The cantilever as the cantilever structured division, 6 / — An epitaxial growth phase, 7 / — A strain gage, 9 / — A circuit pattern, 12 / — The passivation film, 21 / — A p-type silicon layer, 22 / — The p-type silicon layer for opening formation, 23 / — A metal protective coat, 25 / — Porosity silicon layer.] — The acceleration sensor of a surface type, 2 — p mold single crystal silicon substrate, 3 — A crevice, 5

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 5 4 4 7 8

(43) 公開日 平成 1 1 年 (1 9 9 9) 2 月 2 6 日

(51) Int. Cl. °

識別記号

庁内整理番号

F I

技術表示箇所

H01L 21/3063

H01L 21/306

L

C25D 11/32

C25D 11/32

G01P 15/12

G01P 15/12

H01L 29/84

H01L 29/84

A

審査請求 未請求 請求項の数 5 O L (全 1 0 頁)

(21) 出願番号 特願平 9 - 3 5 3 6 8 6

(22) 出願日 平成 9 年 (1 9 9 7) 1 2 月 2 2 日

(31) 優先権主張番号 特願平 9 - 1 4 7 8 5 7

(32) 優先日 平 9 (1 9 9 7) 6 月 5 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 0 0 0 0 0 3 5 5 1

株式会社東海理化電機製作所

愛知県丹羽郡大口町豊田三丁目 2 6 0 番地

(72) 発明者 村手 真

愛知県丹羽郡大口町大字豊田字野田 1 番地

株式会社東海理化電機製作所内

(72) 発明者 岩田 仁

愛知県丹羽郡大口町大字豊田字野田 1 番地

株式会社東海理化電機製作所内

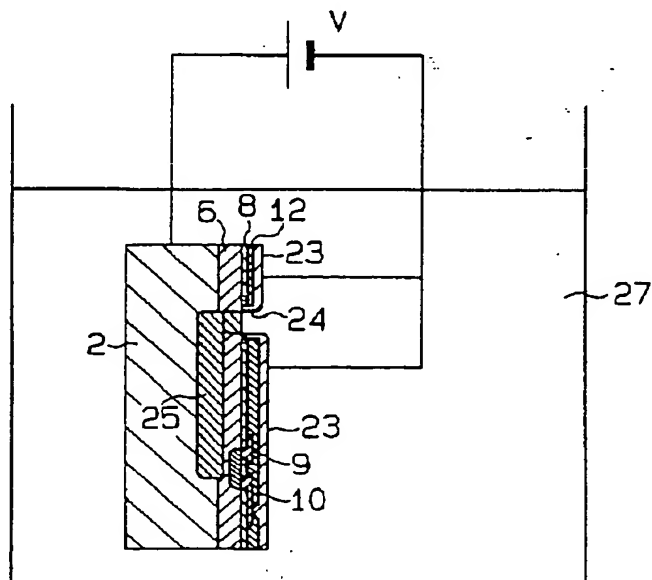
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 シリコン基板における陽極化成方法及び表面型の加速度センサの製造方法

(57) 【要約】

【課題】 H F 系溶液の侵食を防止するための保護膜と、シリコン基板との密着性があり、多孔質化したい部分以外のところが H F 系溶液に侵食されないシリコン基板の陽極化成方法を提供する。

【解決手段】 シリコン基板 2 上にエピタキシャル成長層 6、酸化膜 8、パッシベーション膜 1 2 が形成されている。パッシベーション膜 1 2 の所定部分に設けられた開口部を残して、パッシベーション膜 1 2 の上面を全体的に、W (タングステン) からなる金属保護膜 2 3 が被覆されている。シリコン基板 2 を高濃度のフッ酸水溶液 2 7 中に浸漬し、シリコン基板 2 を陽極とし、金属保護膜 2 3 を対向電極として陽極化成を行う。



【特許請求の範囲】

【請求項 1】 シリコン基板の表面に対して、所定の部分を除いて、金属自身及び当該金属シリサイドがともに耐 H F 性を有する金属保護膜を形成し、

同金属保護膜にて覆われたシリコン基板を H F 系溶液中に浸漬した状態で、同シリコン基板を陽極として、陽極化成を行うことを特徴とするシリコン基板における陽極化成方法。

【請求項 2】 陽極化成における対向電極は、前記 H F 系溶液中において、シリコン基板に対して離間配置した対向電極である請求項 1 に記載のシリコン基板における陽極化成方法。

【請求項 3】 陽極化成における対向電極は、金属保護膜である請求項 1 に記載のシリコン基板における陽極化成方法。

【請求項 4】 前記所定の部分を除いた基板の表面には、電位分布緩和のための導体パターンを形成し、その後、前記金属保護膜を形成するものである請求項 3 に記載のシリコン基板における陽極化成方法。

【請求項 5】 不純物添加によって、p 型単結晶シリコン基板 (2) の表面側の所定領域に p 型シリコン層 (2 1) を形成する工程と、

前記 p 型単結晶シリコン基板 (2) の上面に n 型単結晶シリコンからなるエピタキシャル成長層 (6) を形成することによって、同エピタキシャル成長層 (6) 内に前記 p 型シリコン層 (2 1) を埋め込む工程と、

不純物添加によって、前記エピタキシャル成長層 (6) に開口部形成用の p 型シリコン層 (2 2) を形成する工程と、

前記エピタキシャル成長層 (6) の上面に p 型シリコンからなる歪みゲージ (7) を形成する工程と、

前記歪みゲージ (7) に接続する配線パターン (9) を形成した後、その配線パターン (9) を覆うパッシベーション膜 (1 2) を形成する工程と、

前記パッシベーション膜 (1 2) の上面に請求項 1 に記載の金属保護膜 (2 3) を形成した状態で請求項 1 の陽極化成処理を行うことによって、前記各 p 型シリコン層 (2 1 , 2 2) を多孔質シリコン層 (2 5) に変化させる工程と、

前記多孔質シリコン層 (2 5) をアルカリエッチングによって除去することにより、同多孔質シリコン層 (2 5) があった部分を空洞化する工程とを含む表面型の加速度センサの製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は、シリコン基板の陽極化成方法及びその陽極化成方法を使用した表面型の加速度センサの製造方法に関する。

【 0 0 0 2 】

【従来の技術】 従来からシリコンのマイクロマシニング

において、シリコン基板を陽極化成することが行われている。この陽極化成は、H F 系溶液中において、シリコン基板を陽極とし、P t 等の電極を対向電極として浸漬した状態で電界を印加することにより行われている。この場合、シリコン基板において、多孔質化したい部分以外は H F 系溶液から保護するために、シリコン基板の表面をフォトリソ等樹脂系薄膜 (保護膜) にて被覆することが行われている。そして、この陽極化成によって、シリコン基板の特定部分が多孔質化され、この多孔質化された部分を後の工程で、アルカリエッチングによって除去することにより、空洞部を形成することが行われる。

【 0 0 0 3 】

【発明が解決しようとする課題】 ところが、上記の樹脂系薄膜 (保護膜) は、レジストーシリコン基板界面の密着性が悪く、その界面において、H F 系溶液の侵食される場合があり、多孔質化したい部分以外のところが H F 系溶液によって侵食される問題があった。

【 0 0 0 4 】 そこで、耐 H F 性のあるセラミック系薄膜を、上記樹脂系薄膜の代わりに使用することも考えられる。しかし、セラミック系薄膜は、膜の加工性が悪く、又、I C プロセスとは製造プロセスが異なるため、I C プロセスに近い加速度センサ等の各種素子を形成するには不相当である問題があった。

【 0 0 0 5 】 本発明は上記の課題を解消するためになされたものであり、その目的は、保護膜と、シリコン基板との密着性があり、多孔質化したい部分以外のところが H F 系溶液に侵食されないシリコン基板の陽極化成方法を提供することにある。

【 0 0 0 6 】 又、上記シリコン基板の陽極化成方法を使用して、表面型の加速度センサを製造する際に良質な表面型の加速度センサを製造することができる表面型の加速度センサの製造方法を提供することにある。

【 0 0 0 7 】

【課題を解決するための手段】 上記の課題を解決するために、請求項 1 に記載の発明は、シリコン基板の表面に対して、所定の部分を除いて、金属自身及び当該金属シリサイドがともに耐 H F 性を有する金属保護膜を形成し、同金属保護膜にて覆われたシリコン基板を H F 系溶液中に浸漬した状態で、同シリコン基板を陽極として、陽極化成を行うことを特徴とするシリコン基板における陽極化成方法をその要旨としている。

【 0 0 0 8 】 請求項 2 に記載の発明は、請求項 1 において、陽極化成における対向電極は、前記 H F 系溶液中において、シリコン基板に対して離間配置した対向電極であるシリコン基板における陽極化成方法をその要旨としている。

【 0 0 0 9 】 請求項 3 の発明は、請求項 1 において、陽極化成における対向電極は、金属保護膜であるシリコン基板における陽極化成方法をその要旨としている。請求

項 4 の発明は、請求項 3 において、前記所定の部分を除いた基板の表面には、電位分布緩和のための導体パターンを形成し、その後、前記金属保護膜を形成するものであるシリコン基板における陽極化成方法をその要旨としている。

【 0 0 1 0 】 請求項 5 に記載の発明は、不純物添加によって、p 型単結晶シリコン基板の表面側の所定領域に p 型シリコン層を形成する工程と、前記 p 型単結晶シリコン基板の上面に n 型単結晶シリコンからなるエピタキシャル成長層を形成することによって、同エピタキシャル成長層内に前記 p 型シリコン層を埋め込む工程と、不純物添加によって、前記エピタキシャル成長層に開口部形成用の p 型シリコン層を形成する工程と、前記エピタキシャル成長層の上面に p 型シリコンからなる歪みゲージを形成する工程と、前記歪みゲージに接続する配線パターンを形成した後、その配線パターンを覆うパッシベーション膜を形成する工程と、前記パッシベーション膜の上面に請求項 1 に記載の金属保護膜を形成した状態で請求項 1 の陽極化成処理を行うことによって、前記各 p 型シリコン層を多孔質シリコン層に変化させる工程と、前記多孔質シリコン層をアルカリエッチングによって除去することにより、同多孔質シリコン層があった部分を空洞化する工程とを含む表面型の加速度センサの製造方法をその要旨としている。

【 0 0 1 1 】 (作用) 請求項 1 に記載の発明によると、シリコン基板の表面に対して、所定の部分を除いて、金属自身及び当該金属シリサイドがともに耐 H F 性を有する金属保護膜を形成し、同金属保護膜にて覆われたシリコン基板を H F 系溶液中に浸漬した状態で、同シリコン基板を陽極として、陽極化成を行う。

【 0 0 1 2 】 金属自身及び当該金属シリサイドがともに耐 H F 性を有する金属保護膜として使用される金属は、例えば、W、Mo 等が挙げられる。従って、金属保護膜にて所定の部分を除いてシリコン基板が被覆され、所定の部分においては、前記金属とシリコン基板との界面に金属シリサイドが形成される。そして、陽極化成時において、H F 系溶液にシリコン基板が浸されても、H F によってシリコン基板が侵されることはないとともに、前記耐 H F 性の金属シリサイドによって、所定の部分におけるシリコン基板と金属保護膜との界面が H F により侵

【 0 0 1 3 】 請求項 2 に記載の発明によると、陽極化成は、H F 系溶液中において、シリコン基板に対して対向電極が離間配置され、シリコン基板が陽極にされて行われる。請求項 3 に記載の発明によると、陽極化成は、H F 系溶液中において、金属保護膜が対向電極とされ、シリコン基板が陽極にされて行われる。

【 0 0 1 4 】 請求項 4 に記載の発明によると、陽極化成時において、導体パターンが電位分布を緩和し、陽極化成において、均一な電流がシリコン基板に流れる。請求項

5 に記載の発明によると、所定領域にあらかじめ p 型シリコン層を形成した後、その p 型シリコン層を請求項 1 の陽極化成方法により、当該部分に多孔質シリコン層が形成される。そして、この多孔質シリコン層に対してアルカリエッチングを行うことにより、多孔質シリコン層のみが選択的にエッチングされ、エピタキシャル成長層に空洞部及びカンチレバー構造部が形成される。

【 0 0 1 5 】

【実施の形態】

10 (第 1 実施形態) 以下、本発明を具体化した第 1 実施形態を図 1 ~ 図 1 1 に基づき詳細に説明する。

【 0 0 1 6 】 図 1、図 2 には、本実施形態の表面型の加速度センサ 1 の構成が概略的に示されている。面方位

(1 1 0) の p 型シリコン単結晶基板 (以下、単にシリコン基板と呼ぶ。なお、後記する製造手順と異なり、構成の説明では、ウエハから個々にスクライブされたシリコン基板として説明する。) 2 の表面側中央部には、多孔質化された p 型シリコンからなる層をアルカリエッチングすることによって得られる略正方形の凹部 3 が形成されている。この凹部 3 は、略コ字状の開口部 4 を有する。この凹部 3 内には、カンチレバー構造部としての片持ち梁 5 が上下方向に変位可能に配置されている。この片持ち梁 5 は、主として n 型単結晶シリコンのエピタキシャル成長層 6 によって構成されている。片持ち梁 5 の基端部上面には、不純物添加によって p 型シリコンからなる拡散歪みゲージ 7 が 4 つ形成されている。

【 0 0 1 7 】 エピタキシャル成長層 6 の上面には、層間絶縁層として薄い酸化膜 (S i O ₂ 膜) 8 が形成されている。この酸化膜 8 の上面には、スパッタリングや真空蒸着等の物理的成膜法によって、配線パターン 9 及びボンディングパッド 1 0 が形成されている。また、前記酸化膜 8 の所定部分、即ち拡散歪みゲージ 7 の両端上側となる部分には、層間接続用のコンタクトホール 1 1 が形成されている。コンタクトホール 1 1 は、配線パターン 9 とその下層にある拡散歪みゲージ 7 とを電氣的に接続している。そして、これらの配線パターン 9 は、シリコン基板 2 の外縁部上面に配置されたボンディングパッド 1 0 にそれぞれ電氣的に接続されている。酸化膜 8 の上面には、表層における絶縁を図るための薄いパッシベーション膜 1 2 が、上記の物理的成膜法によって形成されている。前記パッシベーション膜 1 2 の所定部分に設けられた開口部からは、ボンディングパッド 1 0 が露出されている。

【 0 0 1 8 】 図 3 には、加速度センサ 1 を別の基板 (マザーボード) 1 3 に実装した状態が示されている。即ち、シリコン基板 2 の裏面には全体的にダイボンド材 1 4 が塗布され、そのダイボンド材 1 4 を介してシリコン基板 2 とマザーボード 1 3 とが接合される。そして、シリコン基板 2 側のボンディングパッド 1 0 とマザーボード 1 3 側のボンディングパッド 1 5 とは、ワイヤボンデ

イング 1 6 を介して電氣的に接続される。なお、前記マザーボード 1 3 には、加速度センサ 1 からの出力電圧に基づいて加速度を求めるための信号処理回路が形成されている。

【 0 0 1 9 】 また、本実施形態において各部の寸法は以下の通りである。即ち、シリコン基板 2 (ただし、エピタキシャル成長層 6 を含む。) の厚さ t 及び幅 w は、 $t = \text{約 } 500 \mu\text{m}$ 、 $w = 500 \mu\text{m} \sim 1000 \mu\text{m}$ である。片持ち梁 5 の厚さ、幅及び長さは、それぞれ約 $10 \mu\text{m}$ 、約 $200 \mu\text{m}$ 、約 $300 \mu\text{m}$ である。片持ち梁 5 の底面と凹部 3 の内底面との間のクリアランスは約 $10 \mu\text{m}$ である。酸化膜 8 の厚さ及びパッシベーション膜 1 2 の厚さは、それぞれ約 $0.5 \mu\text{m}$ 、約 $0.5 \mu\text{m}$ である。

【 0 0 2 0 】 図 4 には、拡散歪みゲージ 7 (詳細には拡散歪み抵抗 $R1 \sim R4$) の等価回路が示されている。ブリッジ接続された 4 つの拡散歪み抵抗 $R1 \sim R4$ のうち、拡散歪み抵抗 $R1$ 、 $R4$ 間のノードは、電源電圧 V_{cc} の供給用のボンディングパッド 1 0 に接続されている。一方、拡散歪み抵抗 $R2$ 、 $R3$ 間のノードは、接地用のボンディングパッド 1 0 に接続されている。拡散歪み抵抗 $R3$ 、 $R4$ 間のノードは、2 つある出力用のボンディングパッド 1 0 のうちの一方に接続されている。拡散歪み抵抗 $R1$ 、 $R2$ 間のノードは、出力用のボンディングパッド 1 0 のうちの他方に接続されている。なお、図 2 には、片持ち梁 5 における各拡散歪み抵抗 $R1 \sim R4$ のレイアウトが概略的に示されている。即ち、各拡散歪み抵抗 $R1 \sim R4$ は、 $R1$ 、 $R2$ 、 $R4$ 、 $R3$ の順にほぼ一直線上に配置されている。 $R1$ 、 $R3$ の長手方向は、片持ち梁 5 の延びる方向と平行な関係にある。一方、 $R2$ 、 $R4$ の長手方向は、片持ち梁 5 の延びる方向と垂直な関係にある。従って、前者 $R1$ 、 $R3$ は $[110]$ 方向に延び、後者 $R2$ 、 $R4$ は $[1\bar{1}0]$ 方向に延びている。

【 0 0 2 1 】 この加速度センサ 1 に図 1 の矢印 $A1$ の方向から加速度が印加すると、片持ち梁 5 が全体的に下方に変位し、片持ち梁 5 の基端部に湾曲が生じる。このとき、拡散歪みゲージ 7 (拡散歪み抵抗 $R1 \sim R4$) に歪みが生じる結果、シリコンのピエゾ抵抗効果によって各拡散歪みゲージ 7 の抵抗値が増加または減少する。そして、この抵抗値の変化を検出することによって、加速度が検知される。

【 0 0 2 2 】 次に、本実施形態の加速度センサ 1 の製造手順を図 5 ～ 図 1 3 を参照して説明する。まず、図 5 に示されるように、直方体状をした面方位 (110) の p 型単結晶シリコン基板 (なお、この製造手順では、説明の便宜上、シリコン基板 2 はウエハの状態の説明) 2 を用意し、このシリコン基板 2 の表面に図示しないマスクを形成する。次いで、前記シリコン基板 2 に対してイオン注入等によってほう素を打ち込み、さらにそのほ

う素を熱拡散させる。この結果、図 6 に示されるように、シリコン基板 2 のほぼ中央部に p 型シリコン層 2 1 が形成される。

【 0 0 2 3 】 次に、図 7 に示されるように、 p 型シリコン層 2 1 が形成されたシリコン基板 2 の上面に、気相成長によって n 型単結晶シリコンからなるエピタキシャル成長層 6 を形成する。その結果、エピタキシャル成長層 6 内に p 型シリコン層 2 1 が埋め込まれた状態となる。この後、エピタキシャル成長層 6 が形成されたシリコン基板 2 の表面に、図示しないマスクを形成する。さらに、フォトリソエッチングによってマスクの所定領域に略コ字状の開口部を形成する。

【 0 0 2 4 】 次に、前記シリコン基板 2 に対してイオン注入等によってほう素を打ち込み、さらにそのほう素を熱拡散させる。この結果、図 8 に示されるように、エピタキシャル成長層 6 に、略コ字状をした開口部形成用の p 型シリコン層 2 2 が形成される。この p 型シリコン層 2 2 は、埋め込まれている p 型シリコン層 2 1 の深さまで到達する。

【 0 0 2 5 】 次に、シリコン基板 2 のエピタキシャル成長層 6 の上面に、図示しないマスクを配置する。次いで、前記シリコン基板 2 に対してイオン注入等によってほう素を打ち込み、さらにそのほう素を熱拡散させる。この結果、後に片持ち梁 5 の基端部上面となる部分に、4 つの拡散歪みゲージ 7 が形成される。次に、前記シリコン基板 2 を酸素中または空気中で加熱することにより、その上面に酸化膜 8 を形成する。次いで、フォトリソエッチングを行うことによって、図 9 に示されるように、酸化膜 8 の所定部分にコンタクトホール 1 1 を形成する。

【 0 0 2 6 】 次に、このシリコン基板 2 に対して $A1$ のスパッタリングまたは真空蒸着を行った後、フォトリソグラフィを行うことによって、配線パターン 9 及びボンディングパッド 1 0 を形成する。次いで、CVD 等によって SiN や Si_3N_4 などを堆積させることにより、図 1 0 に示されるように、シリコン基板 2 の上面に配線パターン 9 を覆うようなパッシベーション膜 1 2 を形成する。前記パッシベーション工程において、パッシベーション膜 1 2 には、ボンディングパッド 1 0 を露出させるための開口部 1 2 a と、略コ字状の開口部 1 2 b とが形成される。この後、 p 型シリコン層 2 2 の上面にあたる酸化膜 8 を除去することによって、 p 型シリコン層 2 2 の上面を露出させる。

【 0 0 2 7 】 次いで、パッシベーション膜 1 2 の上面を全体的に、スパッタリングや真空蒸着等の物理的成膜法によって、 W (タングステン) からなる金属保護膜 2 3 で被覆する。このとき、開口部 1 2 b (正確には酸化膜 8 の開口部) の直下において、金属保護膜 2 3 とシリコン基板 2 のエピタキシャル成長層 6 とが接している界面においては、 W シリサイドが形成される。金属保護膜 2

3を形成しているW(タングステン)とWシリサイドとは、耐HF性を有する。この後、図11に示されるように、フォトリソグラフィによって、p型シリコン層22の上面にあたる部分に略コ字状の開口部24を形成する。

【0028】そして、図12に示すように、シリコン基板2を高濃度のHF系溶液としてのフッ酸水溶液27中に浸漬し、この状態でシリコン基板2を陽極とし、金属保護膜23を対向電極として電流を流す。すなわち、陽極化成を行う。なお、図12において、Vは直流電源を表し、この実施形態では、0.6V以上の化成電圧を印加しないようにし、最も効率のよい電圧を印加するようにしている。前記のような陽極化成によってp型シリコン層21、22の部分のみを選択的に多孔質化することにより、当該部分を多孔質シリコン層25に変化させる。このとき、金属保護膜23にて被覆された部分は、同金属保護膜23にてフッ酸水溶液の侵食が防止される。又、開口部12bにおいて、金属保護膜23とシリコン基板2のエピタキシャル成長層6との界面においては、耐HF性のWシリサイドが形成されているため、同界面から内部にフッ酸水溶液が侵食することはない。

【0029】次に、TMAH(テトラメチルアンモニウムハイドロオキシド)でアルカリエッチングを行うことによって、多孔質シリコン層25を異方性エッチングする。p型シリコン層21、22は、陽極化成を経て多孔質化することにより、アルカリに溶解しやすくなっている。その結果、多孔質シリコン層25があった部分に空洞部26が容易に形成される(図13参照)。最後に、不要となった金属保護膜23をプラズマエッチング等のエッチングにより除去すれば、図1に示される加速度センサ1が得られる。

【0030】さて、本実施形態の加速度センサ1の場合、カンチレバー構造部である片持ち梁5が、主としてn型単結晶シリコンのエピタキシャル成長層6からなっている。このため、エピタキシャル成長層6の上面に、ゲージファクターの大きなp型シリコンからなる拡散歪みゲージ7を形成することができる。従って、n型シリコンからなる拡散歪みゲージを備えた従来の加速度センサに比較して、より高感度なものにすることができる。また、この加速度センサ1はいわゆる表面型であるため、シリコン基板2の裏面側からの異方性エッチングを経ることなく製造することができる。よって、従来のバルク型の加速度センサに特有の問題(即ち、(111)面に沿ったエッチング穴が形成されることに伴うチップ幅Wの増大など)も解消される。ゆえに、所定の検出感度を維持しつつ、加速度センサ1全体の小型化を図ることができる。加えて、表面型の加速度センサ1であると、片持ち梁5がシリコン基板2の底面から露出することがないため、ダイボンド材14の付着やマザーボード13との接触という事態も起こらない。従って、台座を配置す

る必要もなくなり、加速度センサ1の実装作業が従来に比べて容易になる。

【0031】そして、本実施形態の製造方法によると、次のような作用効果を奏する。

(1) 図18に示すように、従来の陽極化成は、フッ酸水溶液27中にシリコン基板29を陽極にし、Pt(白金)等の貴金属板31を対向電極にして行っている。この場合、均一な陽極化成を行うためには対向電極31は、シリコン基板29と同等の大面积のものが必要となる。なお、図中30は、樹脂系保護膜である。それに対して、本実施形態の陽極化成方法によると、金属保護膜23が対向電極とされているため、高価な貴金属板からなる対向電極は不要となる利点がある。このため、従来に比較して、陽極化成を安価に行うことができる。

【0032】又、金属保護膜23は、シリコン基板(ウエハ)2のほぼ全表面に形成されるため、均一な陽極化成を行うことができる。さらに、ウエハ(シリコン基板2)の直近に金属保護膜23が形成されて、対向電極としているため、フッ酸水溶液27の抵抗を考慮する必要がなくなる。すなわち、従来の陽極化成方法は、ウエハ(シリコン基板)と対向電極とを離間していたため、フッ酸水溶液の抵抗を考慮して、直流電源Vを電流制御、或いは電圧制御して陽極化成を行う必要がある。この実施形態では、フッ酸水溶液27の抵抗を考慮する必要がなくなるため、陽極化成を行いやすくなることができる。

【0033】(2) この実施形態では、陽極化成中には、0.6V以上の化成電圧を印加しないようにした。この理由は、仮に陽極化成において、0.6V以上の電圧を印加した場合、p型シリコン単結晶基板2とエピタキシャル成長層6とのpnジャンクションでは、ダイオードが形成されているため、配線パターン9を介して陽極化成処理に関与しないリーク電流(無効電流)が流れる。それに対して、この実施形態では、リーク電流(無効電流)が流れないように0.6V以上とならないようにしたため、陽極化成の効率を上げることができる。

【0034】(3) W(タングステン)からなる金属保護膜23は、高融点であり、熱膨張係数がSiNやSi₃N₄などのパッシベーション膜12及びシリコン基板2のエピタキシャル成長層6と、近く、それらとの密着性があるため、剥離することがない。

【0035】(4) 所定領域にあらかじめp型シリコン層21、22を形成した後、同層を陽極化成する方法であるため、シリコン基板2の表面を直接的に陽極化成する従来方法と比較して、陽極化成部の形状や深さにばらつきが生じにくい。

【0036】(5) p型シリコン層21上にエピタキシャル成長層6を形成する方法であるため、とりわけ形成が困難であるということもない。

(6) パッシベーション工程の完了後に陽極化成を行

う方法であるため、空洞部 2 6 が未形成の状態でも金属保護膜 2 3 を形成することができる。よって、金属保護膜 2 3 の形成が容易になる。

【0037】換言すると、空洞部 2 6 内に金属保護膜 2 3 が入り込むことがないため、面倒な除去作業を行う必要もなくなる。また、アルカリエッチングもパッシベーション工程の完了後に行なわれるため、配線パターン 9 やボンディングパッド 1 0 等がエッチャントに汚染される心配もない。以上のようなことから、この製造方法によると、加速度センサ 1 を製造する際の工程簡略化及び作業容易化を達成することができる。

【0038】(7) さらに、多孔質シリコン層 2 5 を除去するこの製造方法であると、シリコン基板 2 の面方位に特に制約を受けないというメリットがある。また、本実施形態の製造方法 (W (タングステン) を金属保護膜 2 3 として使用する陽極化成方法を含む) は、基本的には、例えば IC のゲート材料として W (タングステン) を使用するバイポーラ IC の製造プロセスに近いものである。従って、加速度センサ 1 とバイポーラ IC とを一体化できるというメリットがある。このことは、加速度センサ 1 の小型化や高速化を実現するうえで好都合である。

(第 2 実施形態) 次に、図 1 4 ~ 図 1 7 を参照して同じく加速度センサ 1 の製造方法に具体化した第 2 実施形態を説明する。なお、第 1 実施形態と同一又は相当する構成については同じ符号を付し、その詳細な説明を省略する。

【0039】この実施形態は、陽極化成処理において第 1 実施形態よりもさらに電位を均一化するためのものである。図 1 4 は、スクライプする前のシリコン基板 2 を示している。図 1 5 は、金属保護膜 2 3 でウエハの表面を覆った状態を示している。なお、説明の便宜上、図 1 4 及び図 1 5 では、p 型シリコン層 2 2 のシリコン基板 2 の表面に露出した部分、及び開口は、拡大して示すとともに、配線パターン 9、ボンディングパッド 1 0、拡散歪みゲージ 7 等は省略している。又、図 1 6 は、加速度センサの概略断面図を示している。

【0040】そして、この実施形態では、前記第 1 実施形態の図 9 の製造手順までは、同じとされている。そして、この実施形態では、図 9 の工程以降は下記のように製造されている。

【0041】シリコン基板 2 に対して A 1 (アルミニウム) のスパッタリングまたは真空蒸着を行った後、フォトリソグラフィを行うことによって、配線パターン 9 及びボンディングパッド 1 0、並びに、導体パターン 2 8 を形成する。前記導体パターン 2 8 は、図 1 4 に示すように、各シリコン基板 (ウエハ) 上の素子となる部分の間に配置されるように格子状に形成されている。

【0042】次いで、CVD 等によって SiN や Si₃N₄、などを堆積させることにより、図 1 6 に示されるよ

うに、シリコン基板 2 の上面に配線パターン 9 を覆うようなパッシベーション膜 1 2 を形成する。前記パッシベーション工程において、パッシベーション膜 1 2 には、ボンディングパッド 1 0 及び導体パターン 2 8 を露出させるための開口部 1 2 a と、略コ字状の開口部 1 2 b、及び開口部 1 2 c とが形成される。この後、p 型シリコン層 2 2 の上面にあたる酸化膜 8 を除去することによって、p 型シリコン層 2 2 の上面を露出させる。

【0043】次いで、パッシベーション膜 1 2 の上面を全体的に、スパッタリングや真空蒸着等の物理的成膜法によって、W (タングステン) からなる金属保護膜 2 3 で被覆する。このとき、開口部 1 2 b (正確には酸化膜 8 の開口部) の直下において、金属保護膜 2 3 とシリコン基板 2 のエピタキシャル成長層 6 とが接している界面においては、W シリサイドが形成される。又、開口部 1 2 c を介して導体パターン 2 8 と、金属保護膜 2 3 とは電気的に接続される。

【0044】この後、図 1 5 に示されるように、フォトリソグラフィによって、p 型シリコン層 2 2 の上面にあたる部分に略コ字状の開口部 2 4 を形成する。そして、シリコン基板 2 を高濃度のフッ酸系溶液としてのフッ酸水溶液中に浸漬し、この状態でシリコン基板 2 を陽極とし、金属保護膜 2 3 を対向電極として電流を流す (図 1 6 参照、なお、図 1 6 では、フッ酸水溶液の図示は省略されている。)。すなわち、陽極化成を行う。なお、この実施形態でも、V は直流電源を表し、この実施形態では、0.6 V 以上の化成電圧を印加しないようにしている。前記のような陽極化成によって p 型シリコン層 2 1、2 2 の部分のみを選択的に多孔質化することにより、当該部分を多孔質シリコン層 2 5 に変化させる。このとき、金属保護膜 2 3 にて被覆された部分は、同金属保護膜 2 3 にてフッ酸水溶液の侵食が防止される。又、開口部 1 2 b において、金属保護膜 2 3 とシリコン基板 2 のエピタキシャル成長層 6 との界面においては、耐 HF 性の W シリサイドが形成されているため、同界面から内部にフッ酸水溶液が侵食することはない。

【0045】次に、以下、前記第 1 実施形態と同様にアルカリエッチングを行うことによって、多孔質シリコン層 2 5 を異方性エッチングし、多孔質シリコン層 2 5 があつた部分に空洞部 2 6 を形成する。最後に、不要となった金属保護膜 2 3 をプラズマエッチング等のエッチングにより除去し、素子毎にスクライプして、図 1 7 に示される加速度センサ 1 が得られる。

【0046】この実施形態では、下記の作用効果を奏する。

(1) この実施形態では、導体パターン 2 8 を各素子間に配置されるように格子状に配置した。そして、導体パターン 2 8 を構成しているアルミニウム (抵抗率 $\rho = 2.7 \mu\Omega \text{cm}$) であり、金属保護膜 2 3 を構成している W (タングステン: 抵抗率 $\rho = 5.5 \mu\Omega \text{cm}$) で、

導体パターン 28 の方が低抵抗率となっている。このことによって、陽極化成中に、金属保護膜 23 よりも低抵抗率である導体パターン 28 を電流が流れるため、ウエハ面内の電位分布が改善され（電位分布の緩和）、陽極化成において、均一な電流を流すことができる。このため、均一な陽極化成を行うことができる。

【0047】なお、上記金属保護膜 23 を W（タングステン）の代わりに、Mo（モリブデン）にて形成した場合においても、その抵抗率 $\rho = 5.2 \mu\Omega \text{cm}$ であり、アルミニウムから形成された導体パターン 28 の低抵抗率のため、同様の効果を奏する。

【0048】（2） この実施形態では前記導体パターン 28 をアルミニウムにて形成し、配線パターン 9 と同一材料にて形成した。このため、回路を構成する配線パターン 9 と同一工程において、導体パターン 28 を形成できるため、工程が増加することはなく、容易に導体パターン 28 を形成することができる。

【0049】本発明の実施形態は、例えば次のように変更することが可能である。

（1） p 型単結晶シリコン基板 2 として面方位（110）以外の基板、例えば（111）基板や（100）基板等を使用してもよい。なお、実施形態 1 において（100）基板を使用すれば、より高感度にすることができる。

【0050】（2） TMAH 以外のアルカリ系エッチャントとして、例えば KOH、ヒドラジン、EPW（エチレンジアミン-ピロカテコール-水）等を使用してもよい。

【0051】（3） 配線パターン 9 及びボンディングパッド 10 を形成する金属材料として、Al のほかに例えば Au 等を選択してもよい。

（4） 加速度センサ 1 を製造する場合、n 型単結晶シリコンのエピタキシャル成長層 6 に代えて、例えば n 型の多結晶シリコン層やアモルファスシリコン層等を形成してもよい。

【0052】（5） 第 1 実施形態において例示した拡散型の歪みゲージ 7 に代えて、例えば Cr や多結晶シリコン等からなる薄膜歪みゲージを形成してもよい。

（6） 第 1 実施形態において、片持ち梁 5 の先端部下側にマス部を形成してもよい。

【0053】（7） シリコン基板 2 の表面におけるカンチレバー構造部の周囲のスペースに、信号論理回路等として機能するバイポーラ IC を形成してもよい。

（8） 前記第 1 実施形態では、金属保護膜として W（タングステン）を使用した。Mo（モリブデン）を使用しても、第 1 実施形態の（1）～（5）の効果を奏する。又、Mo（モリブデン）からなる金属保護膜も W（タングステン）と同様に、高融点であり、熱膨張係数が SiN や Si₃N₄ などのパッシベーション膜 12 及びシリコン基板 2 のエピタキシャル成長層 6 と、近く、

それらとの密着性があるため、剥離することがない。

【0054】（9） 前記第 1 及び第 2 実施形態では、金属保護膜を陽極化成するときには対向電極としたが、その代わりに従来と同様に Pt 等の貴金属板を対向電極として使用して、陽極化成を行うことも勿論可能である。

【0055】ここで、特許請求の範囲に記載された技術的思想のほかに、前述した実施形態によって把握される技術的思想をその効果とともに以下に挙げる。

（1） 請求項 4 において、導体パターンは、金属保護膜の抵抗よりも低抵抗率を有することを特徴とする陽極化成方法。こうすることにより、抵抗が少ない導体パターンを電流が流れるため、ウエハ面内の電位分布が改善され、陽極化成において、均一な電流を流すことができ、均一な陽極化成を行うことができる。

【0056】なお、本明細書中において使用した技術用語を次のように定義する。

「カンチレバー構造部： 加速度が印加した時に変位する部分を意味し、例えば 1 つまたは 2 つ以上の梁によってマス部を支持させたものや、マス部を持たない片持ち梁のみのもの等をいう。」

「陽極化成： 電解液中で基板を陽極として電流を流すことにより、その基板に多孔質層を形成する一括改質加工をいう。」

【0057】

【発明の効果】以上詳述したように、請求項 1 乃至 4 に記載の発明によれば、陽極化成において使用する HF 系溶液による侵食からシリコン基板を保護する保護膜と、シリコン基板との密着性があり、多孔質化したい部分以外のところが HF 系溶液にて侵食されることを防止することができる効果を奏する。又、金属保護膜を使用すると、IC の製造プロセスに近いものとすることができる。

【0058】請求項 3 の発明によれば、高価な貴金属板からなる対向電極は不要となるため、陽極化成を安価に行うことができる。又、金属保護膜は、シリコン基板のほぼ全表面に形成されるため、均一な陽極化成を行うことができる。又、シリコン基板の直近に金属保護膜が形成されて、対向電極としているため、HF 系溶液の抵抗を考慮する必要がなくなり、陽極化成を行いやすくなることができる。

【0059】請求項 4 の発明によれば、ウエハ面内の電位分布が改善され、陽極化成において、均一な電流を流すことができ、均一な陽極化成を行うことができる。請求項 5 の発明によれば、表面型の加速度センサを製造する際に良質な表面型の加速度センサを製造することができる。

【図面の簡単な説明】

【図 1】第 1 実施形態の表面式の加速度センサを示す概略断面図。

13

【図 2】同じくその概略平面図。

【図 3】同加速度センサを実装した状態を示す概略断面図。

【図 4】同加速度センサの等価回路図。

【図 5】(a) は同加速度センサの製造手順を示す概略断面図、(b) はその概略平面図。

【図 6】同じく (a) は概略断面図、(b) は概略平面図。

【図 7】同じく (a) は概略断面図、(b) は概略平面図。

【図 8】同じく (a) は概略断面図、(b) は概略平面図。

【図 9】同じく (a) は (b) の A-A 線における概略断面図、(b) は概略平面図。

【図 10】同じく (a) は (b) の B-B 線における概略断面図、(b) は概略平面図。

【図 11】同じく概略断面図。

14

【図 12】陽極化成方法を示す説明図。

【図 13】同じく概略断面図。

【図 14】第 2 実施形態の加速度センサの製造手順を示す概略斜視図。

【図 15】同じくは概略斜視図。

【図 16】同じく陽極化成方法を示す説明図。

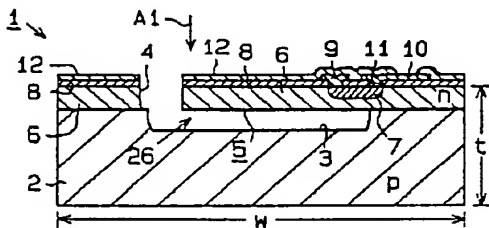
【図 17】第 2 実施形態の表面式の加速度センサを示す概略断面図。

【図 18】従来の陽極化成方法の説明図。

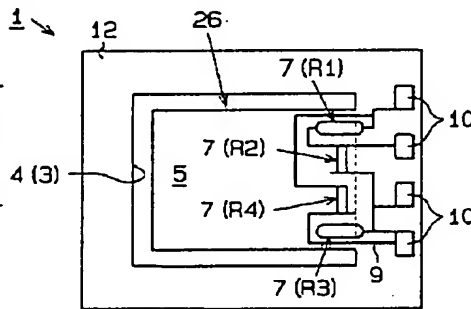
10 【符号の説明】

1…表面型の加速度センサ、2…p 型単結晶シリコン基板、3…凹部、5…カンチレバー構造部としての片持ち梁、6…エピタキシャル成長層、7…歪みゲージ、9…配線パターン、12…パッシベーション膜、21…p 型シリコン層、22…開口部形成用の p 型シリコン層、23…金属保護膜、25…多孔質シリコン層。

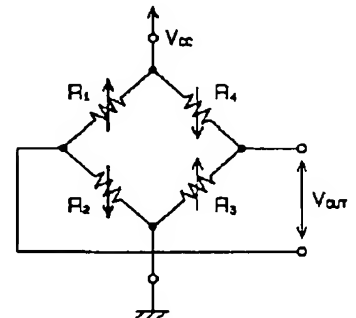
【図 1】



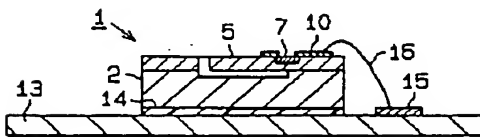
【図 2】



【図 4】



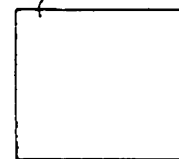
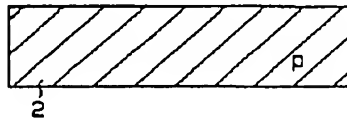
【図 3】



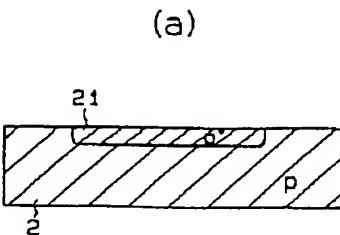
【図 5】

(a)

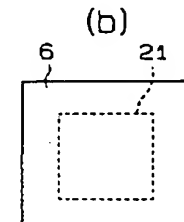
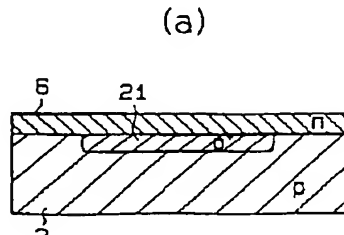
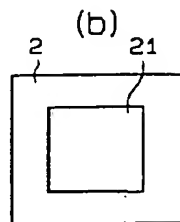
(b)



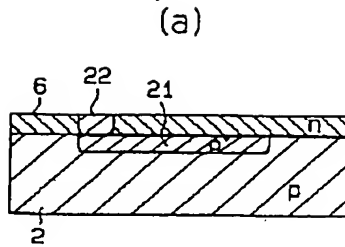
【図 6】



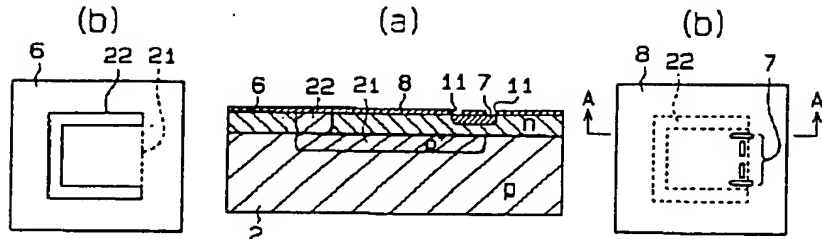
【図 7】



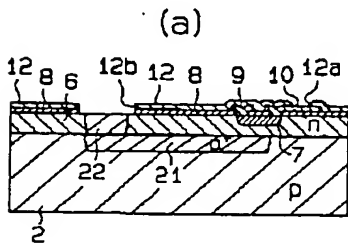
【図 8】



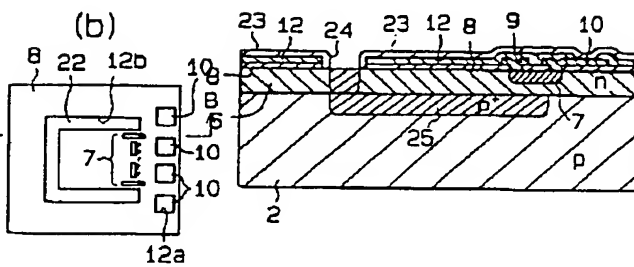
【図 9】



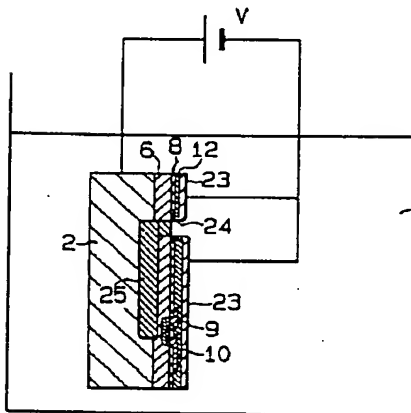
【図 10】



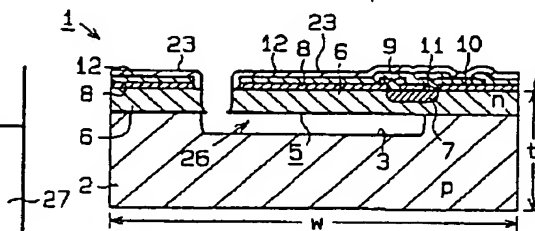
【図 11】



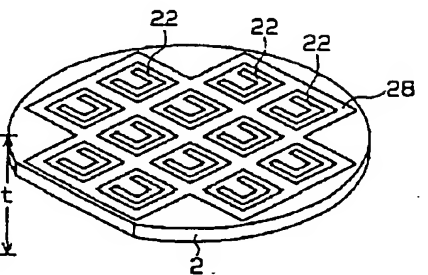
【図 12】



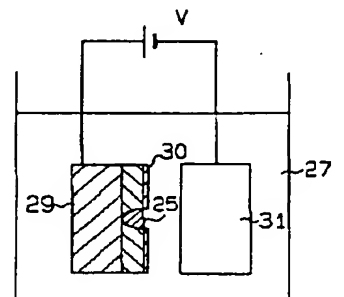
【図 13】



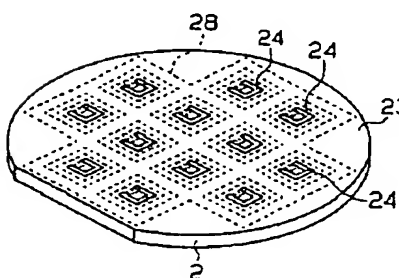
【図 14】



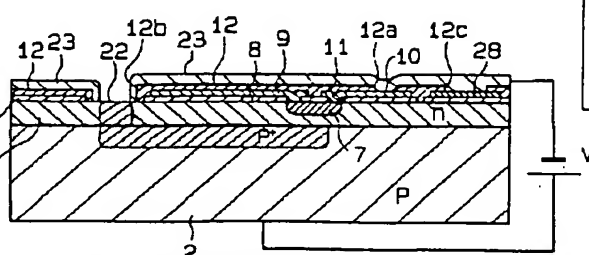
【図 18】



【図 15】



【図 16】



BEST AVAILABLE COPY

(10)

特開平 1 1 - 5 4 4 7 8

【 図 1 7 】

